

Verification of Translation

New US Patent Application based on

PCT International Application No. PCT/JP00/01794

Title of the Invention: LSI LAYOUT METHOD

I, Yoshie HAGA, professional patent translator, whose full post office address is IKEUCHI & SATO Patent Office, Umeda Plaza Building, Suite 401, 3-5, Nishitenma 4-Chome, Kitaku, OSAKA 530-0047, Japan am the translator of the documents attached and I state that the following is a true translation to the best of my knowledge and belief of JP-A-05-283615 and JP-A-10-326833.

At Osaka, Japan

DATED this January 29, 2001

Signature of the translator


Yoshie HAGA

(12) Publication of Patent Application (A)

(11) Publication No.: 05283615 A

(43) Date of publication: October 29, 1993

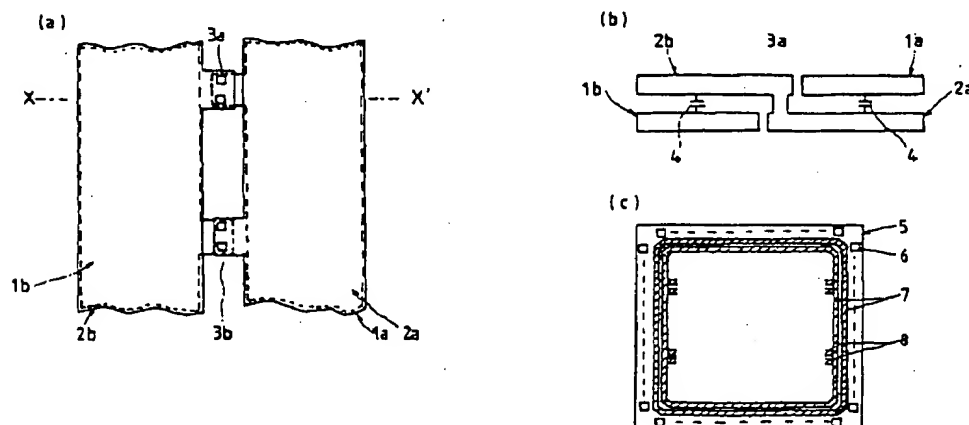
(22) Date of filing: April 6, 1992

(54) POWER SUPPLY WIRING FOR SEMICONDUCTOR INTEGRATED CIRCUIT

From page 3, 4th column, lines 31-46

【0015】 In FIG. 1(c), a bonding pad 6, an annular power supply wiring 7 and an internal power supply wiring 8 are formed on an LSI chip 5. Power supplied from outside via the bonding pad is supplied to the annular power supply wiring 7, and then supplied to an internal circuit via the internal power supply wiring 8. In this example, the annular power supply wiring 7 has a layout shown in FIG. 1(a) and a cross-sectional structure shown in FIG. 1(b). The annular power supply wiring 7 has a structure shown in FIG. 1. The present invention is used for the annular power supply wiring since the annular power supply wiring 7 runs a large current and requires a large area, and thus, it can form a large capacitance. Moreover, the annular power supply wiring 7 serves to cancel noise generated in an external power supply from being transmitted to the inside. As a result, a bypass capacitance can be formed closer to the LSI chip side than a conductor electrically connecting the inside the LSI, i.e., the LSI chip, so that noise generated in the power supply of the LSI can be reduced.

FIG. 1





PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05283615 A**(43) Date of publication of application: **29 . 10 . 93**

(51) Int. Cl.

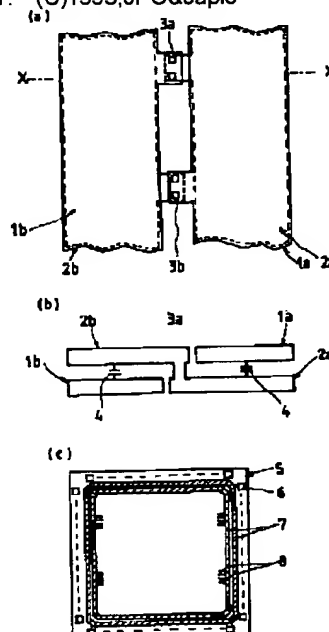
H01L 27/04(21) Application number: **04083661**(71) Applicant: **HITACHI LTD**(22) Date of filing: **06 . 04 . 92**(72) Inventor: **KUWATA MAKOTO**(54) **POWER SUPPLY WIRING FOR SEMICONDUCTOR INTEGRATED CIRCUIT** high speed.

COPYRIGHT: (C)1993,JPO&Japio

(57) Abstract:

PURPOSE: To reduce noise generated in the power supply of an LSI by forming a bypass capacitance closer to the LSI chip side than a conductor electrically connecting the inside of the LSI, i.e., the LSI chip, and the outside of the LSI through modification of conventional layout method without accompanying modification of circuitry.

CONSTITUTION: In an LSI having VCC power supplies 1a, 1b/GND wirings 2a, 2b of more than one layer and row in order to effectively reduce noise generated in the power supply of the LSI, one side VCC power supply wiring 1a is arranged on an upper layer and a GND wiring is arranged on a lower layer, a VCC wiring 1b is arranged on a lower layer and a GND wiring 2b is arranged on an upper layer in the neighboring rows. Thereby, since the capacitance efficiently formed in the inside of the LSI chip acts as a bypass capacitance, the noise generated in the power supply of the LSI can be reduced. Further, since a margin to a malfunction can be increased, a circuit composed on the LSI can be made to operate at



(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-283615

(43)公開日 平成5年(1993)10月29日

(51)Int.Cl.⁵

H 0 1 L 27/04

識別記号

庁内整理番号

F I

技術表示箇所

D 8427-4M

C 8427-4M

審査請求 未請求 請求項の数2(全 5 頁)

(21)出願番号 特願平4-83661

(22)出願日 平成4年(1992)4月6日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 畝田 真

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74)代理人 弁理士 小川 勝男

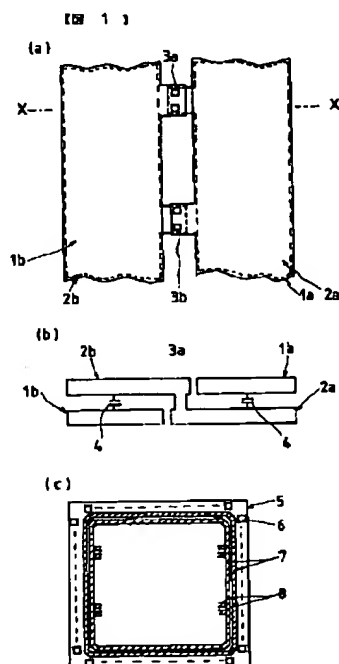
(54)【発明の名称】 半導体集積回路の電源配線

(57)【要約】 (修正有)

【目的】 回路的な変更を伴わずに、従来のレイアウト方法を変更することによりLSIの内部、すなわちLSIのチップとLSI外部とを電気的に接続している導体よりLSIのチップ側にバイパス容量を形成することによって、LSIの電源に発生したノイズを低減する。

【構成】 LSIの電源に発生したノイズを効果的に低減するために、2層以上、2列以上のV_{cc}電源1a、1b/GND配線2a、2bをもつLSIにおいて、一方のV_{cc}電源配線1aは上層にGND配線は下層に配置し、隣あった列においてはV_{cc}電源配線1bを下層にGND配線2bは上層に配置する。

【効果】 LSIチップ内部に効果的に形成した容量がバイパス容量として働くために、LSIの電源に発生したノイズを低減することができる。また、誤動作に対するマージンを増加させることができるため、LSI上に構成された回路を高速動作させることが可能となる。



1

【特許請求の範囲】

【請求項1】 2層以上、2列以上の電源配線をもち、上層に V_{cc} 電源配線、下層に V_{ss} 電源配線を重ね合わせ、隣合う列は上記上層と下層を逆に重ねることによってバイパス容量を構成することを特徴とする半導体集積回路。

【請求項2】 上記電源配線を環状にチップの周囲を囲むことによって配置することを特徴とする特許請求の範囲第1項記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はプロセッサ等の多数の機能を含む大規模集積回路の電源配線に関するものであり、特に、高速の大規模な半導体集積回路において有効である。

【0002】

【従来の技術】 プロセッサ等の多数の機能を含む大規模な半導体集積回路（以下LSIと記す）や高速のLSIでは、回路を高速に動作させるため、論理ゲートの遅延時間を短くしなければならないので、ゲート幅を広くする等MOSトランジスタの駆動力を上げることによって、立上り時間、立ち下がり時間を短くしている。このことによって、電流量及び電流の時間変化量は大きくなり電源配線にノイズを発生することによって、誤動作に対するマージンが低減し、LSIの高速動作という点で問題がある。

【0003】 図2にLSIの内部入出力回路の電源配線を示す。AはLSIの内部回路の一部としてPMOSQ1、NMOSQ2によってインバーターが構成されており、上記Q1のソース、上記Q2のソースにはLSI外部電源と接続するため、また、上記Q1、Q2のドレインにはLSI外部回路と接続するため、ボンディングワイヤ、リードピン、外部回路パターンが接続されている。また、上記ボンディングワイヤ、リードピン、上記外部回路パターンはインダクタンス及び抵抗成分をもち、電源、GND、外部回路と接続されている。以下、上記インダクタンスをL1、L2、L3、及び抵抗成分をR1、R2、R3とする。上記L3、R3を流れる電荷は負荷容量 C_L に蓄積される。また、入力端子10により電圧が制御され、 V_{cc} 電源端子11と上記Q1のソース、GND（ V_{ss} ）電源端子12と上記Q2のソースは接続されており、上記Q1、Q2のドレインは信号配線9と接続されている。そして、電源配線に発生したノイズを低減するために、上記 V_{cc} 電源端子11と上記GND電源端子12との間にバイパス容量 C_B が設けられる場合がある。以下に、上記入力端子10の電圧がL→Hで切り換えられ、上記Q1、Q2のドレインとアドレス線との接続端子13での電圧が、H→Lで切り換えられるときに上記 C_L がLSI間の布線等チップ外部に生じる場合、すなわち、上記Q1、Q2がチップ外部に対

2

するドライバの場合と、上記 C_L が同一チップ上に生じる場合、すなわち、Q1、Q2がチップ内部での負荷のみを駆動する場合の上記 C_B の有無によるインバーター中を流れる電流とそれによって発生するノイズについて説明する。

【0004】 (i) C_L がチップ外部に生じる場合
上記 C_B がQ1、Q2のソース側に設けられていない場合、上記 C_B から V_{cc} 電源端子11に電流は流れず、さらに、Q2のソースから C_B にも電流は流れず、上記GND電源端子12からL2、R2を通して、GNDに流れる電流 i_3 は電流 i_1 と電流 i_2 の総和である。このため、電源配線1にノイズが発生する。

【0005】 上記 C_B が設けられている場合、過渡応答時には電流 i_3 は電流 i_4 とほぼ同一であり、上記電流 i_3 も電流 i_2 とほぼ同一である。このため、電源配線1にはノイズが発生するが、 C_B が設けられていない場合に比べて少ない。

【0006】 (ii) C_L が同一チップ上に生じる場合
 C_L が同一チップ上に生じる場合は、一般に、 R_3 、 L_3 は内部の信号パターンのみでほぼ無視でき、GND14の電位はGND電源端子12の電位とほぼ等しくなる。

【0007】 上記 C_B が設けられていない場合は、 C_L がチップ外部に設けられている場合と同様に、上記 C_B から V_{cc} 電源端子11に電流は流れず、電流 i_3 は電流 i_1 と等しくなる。このため、電源配線1にノイズが発生する。

【0008】 上記 C_B が設けられている場合、電流 i_3 は電流 i_4 とほぼ同一になるため、電流 i_3 はほぼ0となる。このため電源配線1には、ほとんどノイズが発生しない。上記に示したように、回路の高速化に伴い、電流量及び電流の時間的変化量は大きくなり電源配線1にはノイズが発生するが、このノイズは他の回路に誤動作を起こさせる可能性があるため低減する必要がある。このノイズはLSIのチップとLSI外部とを電気的に接続しているボンディングワイヤやLSIのリード等の導体のインダクタンスによる影響が大きいため、LSIの電源配線に発生したノイズの低減のためには、上記インダクタンスを低減させなければならない。しかし、実際には、上記インダクタンスの低減は本質的に困難であるため、電源間にバイパス容量を挿入することによって上記ノイズを低減させている。従来、上記バイパス容量を設ける空間として、LSIの外部や、LSIキャビティ内に配置していたが、上記LSIの外部や、LSIキャビティ内では容量とチップの間にインダクタンスや抵抗が存在するため、上記ノイズの低減は難しく問題となっている。

【0009】 図3に従来の電源配線とスルーホールレイアウトの要部概略図を示す。図3(a)において、GND（ V_{ss} ）配線2aはGND（ V_{ss} ）配線2bの上層に、また、左の V_{cc} 電源配線1bは V_{cc} 電源配線1aの

10

20

30

40

50

3

下層に配置されている。 V_{cc} 電源配線1a及び1b、GND (V_{ss}) 配線2a及び2bはそれぞれ電位を等しく保つためにスルーホール3a及び3bにおいて接続され、特に図には示していないがこれらの配線によって内部回路に電源を供給している。さらに上記 V_{cc} 電源配線及び上記GND (V_{ss}) 配線はボンディングワイヤ等を通じてLSI外部回路部と接続されている。図3(b)にX-X'における上記電源配線の断面構造の要部概略図を示す。 V_{cc} 電源配線1a、1bとGND (V_{ss}) 配線2a、2bの間には合成容量4が形成されている。合成容量4は電源とGND間のバイパス容量として働いてはいるが、GND (V_{ss}) 配線と V_{cc} 電源配線の側面しか容量に寄与しないため、十分な容量をとることができず、電源に発生したノイズの低減は難しいという問題がある。

【0010】図4に従来の大規模集積回路における環状電源配線のレイアウトの要部概略図を示す。 V_{cc} 電源配線1a、1bは電源用ボンディングパッド15から電源電圧を供給し、内部電源配線8に供給している。また、GND (V_{ss}) 配線2a、2bはGND用ボンディングパッド16からGND電源電圧を供給し、さらに内部GND配線18に上記GND電源電圧を供給している。I/O領域19における信号は、信号用ボンディングパッド17を通じて外部と接続されており、信号配線9を通じて内部と接続されている。従来は V_{cc} 電源配線1a、1bとGND配線2a、2bとはレイアウト的に列が異なっているため、内側の配線とボンディングパッドとをつなぐ配線は外側の配線とクロスさせて通す必要がある。特に図には示していないが、合成容量は生じるが、配線の側面しか容量に寄与しないため、容量が蓄えられず、LSIの電源に発生したノイズの低減は不可能であるという問題がある。

【0011】

【発明が解決しようとする課題】本発明は、回路的な変更を伴わずに、従来のレイアウト方法を変更することによりLSIの内部、すなわちLSIのチップとLSI外部とを電気的に接続している導体よりLSIのチップ側にバイパス容量を形成することによって、LSIの電源に発生したノイズを低減することを目的とするものである。

【0012】

【課題を解決するための手段】LSIの電源配線に発生したノイズを効果的に低減するために、2層以上、2列以上の V_{cc} 電源/GND配線をもつLSIにおいて、一方の V_{cc} 電源配線は上層にGND配線は下層に配置し、隣あった列においては V_{cc} 電源配線を下層にGND配線は上層に配置する。

【0013】

【作用】2層以上、2列以上の電源/GND配線をもつLSIにおいて一方の V_{cc} 電源配線は上層にGND配線

4

は下層に配置し、隣あった列においては電源配線を下層にGND配線は上層に配置することによって、従来は電源配線として用いていた配線を容量として用いることができるため、LSIの内部、すなわちLSIのチップとLSI外部とを電気的に接続している導体よりLSIのチップ側にバイパス容量が形成でき、LSIの電源に発生したノイズを低減させる事が可能となる。

【0014】

【実施例】図1(a)に本発明の電源配線とスルーホールのレイアウトの要部概略図を示す。 V_{cc} 電源配線1aはGND (V_{ss}) 配線2aの上層に、また V_{cc} 電源配線1bはGND (V_{ss}) 配線2bの下層に配置される。 V_{cc} 電源配線1aと1bはスルーホール3bにて接続され、同様にGND (V_{ss}) 配線2aと2bはそれぞれスルーホール3aにて接続される。 V_{cc} 電源配線1a、1b及びGND (V_{ss}) 配線2a、2bはボンディングワイヤ等を通じてLSI外部と接続される。図1(b)にX-X'における上記電源配線の断面構造の要部概略図を示す。 V_{cc} 電源配線1aとGND (V_{ss}) 配線2aおよび、 V_{cc} 電源配線1bとGND (V_{ss}) 配線2bの間には合成容量4が形成される。上記合成容量4は V_{cc} 電源とGND間のバイパス容量として働くために、電源に発生したノイズを低減することが可能となる。また、図1(a)ではスルーホール3aおよび3bを通じて V_{cc} 電源配線1a、1bとGND配線2a、2bの電位を等しく保っているが、このことは特に限定されるものではない。また、本実施例では2層、2列のみの例であるが層数、列数に制限は無く、3層2列等であっても良い。また電源層数にも制限は無く、2層以上の電源配線にも適応できる。

【0015】図1(c)において、LSIチップ5上にボンディングパッド6、環状電源配線7および、内部電源配線8が形成されている。外部よりボンディングパッドを通じて供給された電源は、環状の電源配線7に供給され、内部電源配線8を通じて内部回路に供給されている。この実施例では環状電源配線7に対して図1(a)のレイアウトと(b)の断面構造を適用している。環状電源配線7は図1で示した構造を用いている。本発明を環状電源配線に適用したのは、環状電源配線7を流れる電流が大きく大きな面積を要しており大きな容量を形成でき、また、外部からの電源に発生したノイズを内部に伝えるのをキャンセルする役割をするためである。これにより、LSIのチップとLSI外部とを電気的に接続している導体よりLSIのチップ側にバイパス容量を形成することができ、LSIの電源に発生したノイズを低減させる事が可能となる。

【0016】図5に大規模集積回路における環状電源配線のレイアウトの要部概略図を示す。 V_{cc} 電源配線1a、1bは電源用ボンディングパッド15より V_{cc} 電源が供給され内部電源配線8に供給している。また、GND

D配線2a、2bはGND用ボンディングパッド16からGND電源電圧が供給され、内部GND配線18に供給している。I/O領域19における信号は、信号用ボンディングパッド17を通じて外部と接続されており、信号配線9を通じて内部と接続される。

【0017】従来はV_{CC}電源配線とGND (V_{SS}) 配線とは同じ列となっているため、内側の配線とボンディングパッドとをつなぐ配線は外側の配線とクロスさせて通す必要があったが、異なる電源配線が重なって存在しているためそのまま接続すれば良く、クロスさせて配線する必要がなくなる。図5では、GND用ボンディングパッド16とGND (V_{SS}) 配線2a、2b、内部電源配線8とV_{CC}電源配線1a、1bとの接続にスルーホールを用いているが、配線層を同一とすることで省略することも可能である。また、省略しない場合でも、スルーホールの位置を変更して配置することも可能である。

【 0 0 1 8 】

【発明の効果】ＬＳＩチップ内部に効果的に形成した容量がバイパス容量として働くために、ＬＳＩの電源に発生したノイズを低減することができる。また、誤動作に対するマージンを増加させることができるため、ＬＳＩ上に構成された回路を高速動作させることが可能となる。

【図面の簡単な説明】

*【図 1】半導体集積回路における本発明の電源配線とスルーホールレイアウトの要部概略図。

【図2】LSIの内部入出力回路の電源配線に接続されているインバータの一部とパッケージの一部の要部概略図。

【図3】従来の電源配線とスルーホールのレイアウトの要部概略図。

【図4】従来の大規模集積回路における環状電源配線のレイアウトの要部概略図。

【図5】LSIにおける環状電源配線のレイアウトの要部概略図。

【符号の説明】

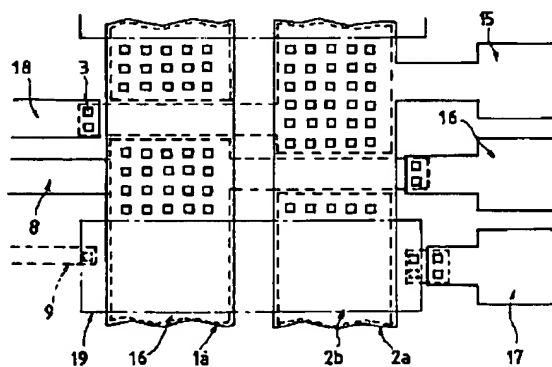
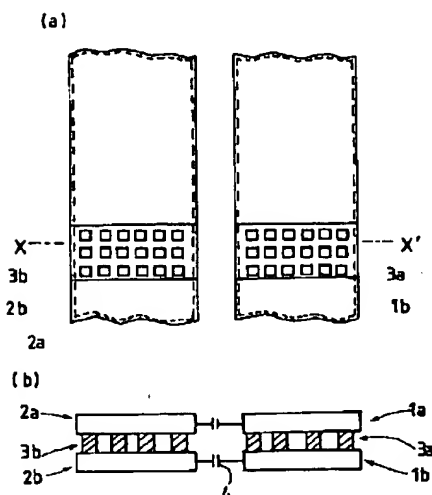
1 a, 1 b... V_{cc} 電源配線、2 a, 2 b...GND配線、3 a, 3 b...スルーホール、4...合成容量、5...LSIチップ、6...ボンディングパッド、7...環状電源配線、8...内部電源配線、9...信号配線、10...入力端子、11... V_{cc} 電源端子、12...GND電源端子、13...Q1, Q2のドレインと信号線との接続端子、14...GND、15...電源用ボンディングパッド、16...GND用ボンディングパッド、17...信号用ボンディングパッド、18...内部GND用配線、19...I/O領域、A...LSIの内部回路の一部

【図 3】

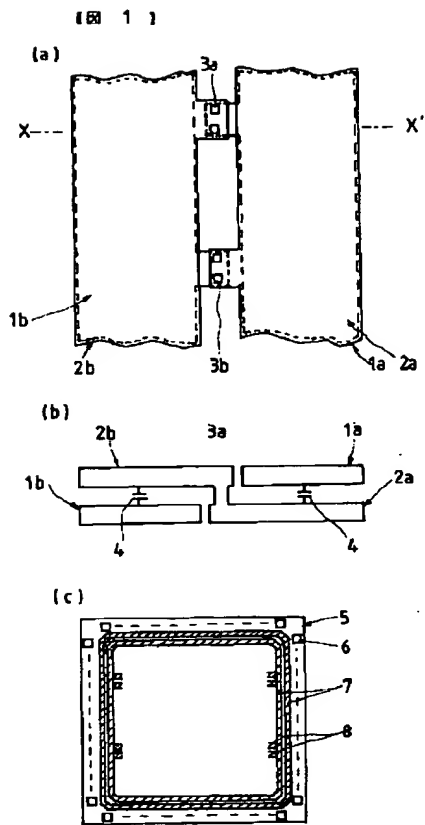
【图 4】

[3]

【☒ 4】

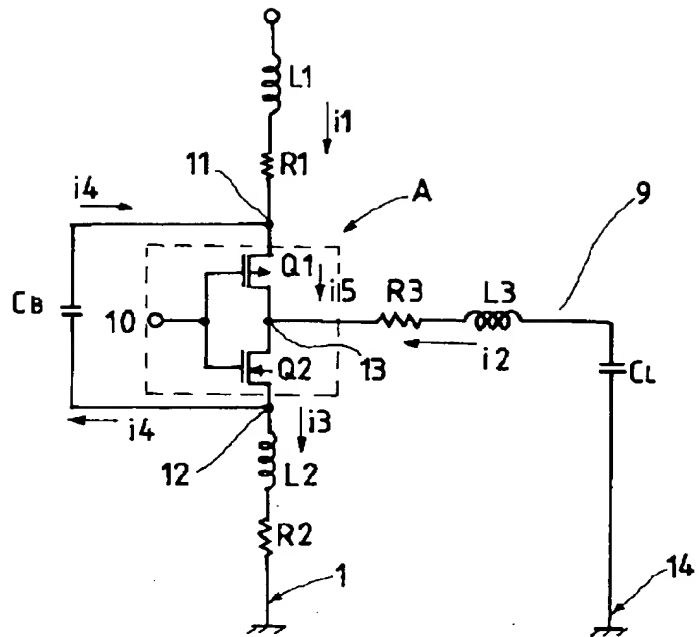


【図 1】



【図 2】

【図 2】



【図 5】

【図 5】

